

CAD レイアウトからの逐次回路抽出による VLSI 順序回路の階層的故障追跡法 Hierarchical Fault Tracing VLSI Sequential Circuit by Successive Circuit Extraction from CAD Layout Data

三浦 克介^(a) 中前 幸治^(a) 藤岡 弘^(b)

K. Miura^(a) K. Nakamae^(a) H. Fujioka^(b)

^{a)}大阪大学 大学院情報科学研究科 情報システム工学専攻

^{b)}福井工業大学 経営情報学科

^{a)}Dept. Information Systems Engineering, Grad. Sch. Information Science and Technology,
Osaka University

^{b)}Dept. Management and Information Science, Fukui University of Technology

要約: 昨年報告した CAD レイアウトからの逐次回路抽出による VLSI 順序回路の階層的故障追跡法を拡張し、EB テスタでのプロービング点数を削減するアルゴリズムを提案している。このアルゴリズムでは、フィードバックループが含まれる順序回路において、故障信号が同一パスを異なるクロックサイクルに複数回通過する場合、二分探索アルゴリズムを用いて二度目の追跡時のプロービング点数を削減する。本手法と従来のガイドドプローブ法を、ISCAS'89 ベンチマーク回路情報から生成したレイアウトデータに適用し、本手法の評価を行っている。その結果、レイアウトデータしか得られない状況においては、本手法がガイドドプローブ法よりも効率が良いことを示している。

Abstract: A hierarchical VLSI fault tracing method is proposed which is applicable to the case where only CAD layout data is available in the CAD-linked electron beam test system. The CAD layout data is assumed to be hierarchically structured. The method uses the expansion of a previously proposed integrated algorithm which combines a transistor-level fault tracing algorithm and a successive circuit extraction from a non-hierarchically or a flat structured CAD layout data. The method allows us to trace a fault hierarchically from the top level cell to the lowest primitive cell and from the primitive cell to the transistor-level circuit in a consistent manner independent of circuit functions even when the cell data and the transistor-level circuit data exist in a level as a mixture. An application of the method to a hierarchically structured CMOS model layout with about 600 transistors shows its validity.

キーワード: 故障追跡、CADレイアウト、逐次回路抽出、順序回路、ベンチマーク回路

Keywords: fault tracing, CAD layout data, successive circuit extraction, sequential circuit, benchmark circuit

1. まえがき

CAD データベースとリンクされた電子ビーム (EB) テストシステムが、VLSI の故障診断に広く利用されている。このシステムを用いて故障箇所の特定を行う場合、ガイドドプローブ法などの手法が用いられるが、この手法の故障箇所特定の単位はセルレベルである。一方、最近、遅延故障のなどの性能故障が大きな問題となっている。性能故障の原因を特定する際には、ゲートレベルではなく、最も基本的な単位であるトランジスタレベルでの故障追跡が求められる。また、CAD リンク EB テストシステムでは、回路図あるいはネットリストとマスクレイアウトデータが相互にリンクされていなければならないが、これらのデータを準備し、対応付け (CAD リンク) を行うのは非常に手間と時間のかかる作業である。

このような問題に対して、我々は、CAD レイアウトからの逐次回路抽出による VLSI の階層的自動故障追跡法を提案した[1], [2]。

本報告では、順序回路において故障信号が、異なるクロックサイクルに同一パスを複数回通っている場合に、プロービング点数を削減する手法を提案する。また、ISCAS'89 ベンチマーク回路情報から生成したレイアウトデータに我々の故障追跡手法を適用し、プロービング点数の比較評価を行なう。

2. システムの概要とプロービング点削減手法

2.1 システムの概要

2.1.1 システム構成

本手法で用いるシステムの構成を図 1 に示す。本システムは、DUT、参照波形を取得するための良品デバイス、これらに信号を与え

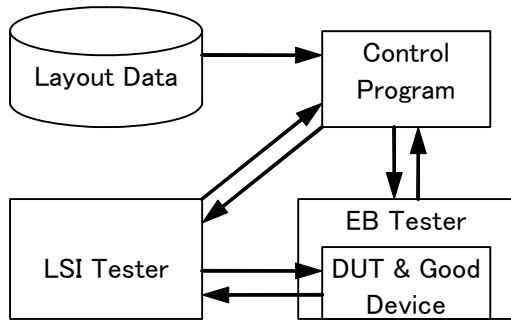


図1 システム構成

る LSI テスタ、内部配線の波形を測定する EB テスタ、およびこれらをコントロールするプログラムと CAD レイアウトデータからなる。

2.1.2 追跡手法の概要

上記の処理の過程において、本手法では二つのラベルを用いる。このラベルの詳細については、[2] を参照。

2.2 プロビング点削減手法

順序回路では、一般的にテストシーケンスが長く、このため EB テスタでの測定時間が長くなってしまふ。従って、EB テスタでのプロビング点数はできる限り少ないことが望まれる。一方、記憶素子やフィードバックループを含む順序回路では、故障信号が異なるクロックサイクルに同一パスを通ることがある。ここで、2 度目の追跡時には、1 度目の追跡で得られた知識を利用することによりプロビング点数の削減が期待できる。なお、削減手法の詳細については付録 A に示す。

3. 応用

CAD レイアウトからの逐次回路抽出による順序回路 VLSI の階層的故障追跡法を評価する為、ISCAS'89 ベンチマーク回路情報からレイアウトデータを生成し、本手法を適用してプロビング点数を調査した。この結果を表 1 に示す。

4. まとめ

昨年報告した CAD レイアウトからの逐次回路抽出による VLSI 順序回路の階層的故障追

表1 本手法のプロビング点数

回路名	トランジスタ数	プロビング点数の平均
S27	136	6.6
S208	676	14.9
S298	1006	10.9

跡法を拡張し、EB テスタでのプロビング点数を削減するアルゴリズムを導入した。このアルゴリズムでは、フィードバックループが含まれる順序回路において、故障信号が同一パスを異なるクロックサイクルに複数回通過する場合、二分探索アルゴリズムを用いて二度目の追跡時のプロビング点数を削減する。また、ISCAS'89 ベンチマーク回路情報から生成したレイアウトデータに本手法と従来のガイドドプローブ法を適用し、本手法の評価を行った。その結果、レイアウトデータしか得られない状況においては、本手法がガイドドプローブ法よりも効率が良いことを示した。

謝辞

本研究を行うにあたり、試料を提供していただいた〇〇〇〇株式会社 中央研究所、□□□□氏に心より感謝の意を表します。

参考文献

- [1] 三浦克介, 中前幸治, 藤岡弘, “EB テストシステムにおける CAD レイアウトからの逐次回路抽出による VLSI の階層的自動故障追跡法”, LSI テスティングシンポジウム(学振第 132 委員会第 128 回研究会)資料, pp.71-76, Nov. 1994.
- [2] K. Miura, K. Nakamae and H. Fujioka, “Automatic transistor-level performance fault tracing by successive circuit extraction from CAD layout data for VLSI in the CAD-linked EB test system,” IEICE Trans. Electron., vol.E78-C, no.11, pp.1607-1617, Nov. 1995.

付録 A

プロビング点数の削減は、1 度目の追跡で得られる、1) 抽出された回路データ、2) 追跡経路、3) 追跡経路の段数、4) 伝播遅延、を利用する。